

출력 일자: 2004/7/31

발송번호 : 9-5-2004-031381860

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2004.07.30

층(리&목특허법률사무소)

제출기일 : 2004.09.30

이영필 귀하

137-874

특허청 의견제출통지서



출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 영통구 매탄동 416

대리인 성명 이영필

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)

출원번호 10-2003-0003296

발명의 명칭 고 커패시턴스를 지니는 금속-절연체-금속 커패시터, 이를구비하는 집적회로 칩 및 이의 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제10, 16항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

- 본원의 청구범위 제10, 16항에 기재된 제1배선, 제1배선과 절연된 하부전극, 제1배선과 접촉하는 상부전극을 포함하는 커패시터는 인용문헌(한국공개특허공보 2001-3343호(2001.01.15))에 기재된 하부배선을 형성하고 하부배선과 상부전극이 상호 연결된 커패시터에 의하여 상기 기술분야에서 통상의 지식을 가진 자가 용이하게 발명할 수 있습니다.

[참 부]

첨부1 한국공개특허공보 2001-3343호(2001.01.15) 1부. 끝.

2004.07.30

특허청

전기전자심사국

응용소자심사담당관실 심사관 전범재



<<안내>>

문의사항이 있으시면 ☎ 042)481-5740 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 아날로그 커패시터 제조방법에 관한 것으로서, 특히, 고집적반도체장치에서 다른 반도체소자와 상호 연결되는 금속(metal)/ 절연체(insulator)/ 금속(metal) 구조의 아날로그 커패시터를 제조하는 기술이다.

최근에 들어 등장하고 있는 복합 반도체장치(MML:Merged Memory Logic)는 한 칩내에 메모리 셀 어레이부, 예컨대 DRAM(Dynamic Random Access Memory)과 아날로그 또는 주변회로가 함께 집적화된 소자이다. 이러한 복합 반도체장치의 등장으로 인해 멀티미디어 기능이 크게 향상되어 종전보다 반도체장치의 고집적화 및 고속화를 효과적으로 달성할 수 있게 되었다.

한편, 고속 동작을 요구하는 아날로그 회로에서는 고용량의 커패시터를 구현하기 위한 반도체소자 개발이 진행중에 있다.

일반적으로, 커패시터가 PIP(Polysilicon/Insulator/Polysilicon) 구조일 경우에는 상부전극 및 하부전극을 도전성 폴리실리콘으로 사용하기 때문에 상부전극/하부전극과 유전체막의 계면에서 산화반응이 일어나 자연산화막이 형성되어 전체 커패시턴스의 크기가 줄어드는 단점이 있다.

이를 해결하기 위해 커패시터의 구조를 MIS(Metal/Insulator/Silicon) 내지 MIM(Metal/Insulator/Metal)로 변경하게 되었는데, 그 중에서도 MIM형 커패시터는 비저항이 작고 내부에 공핍(depletion)에 의한 기생커패시턴스가 없기 때문에 고성능 반도체장치에 주로 이용되고 있다.

그런데, MIM형 아날로그 커패시터는 다른 반도체소자와 동시에 구현되어야 하므로 상호 연결배선(interconnection line)인 금속배선을 통해서 반도체소자와 전기적으로 연결되어 있다.

도 1a 내지 도 1f는 종래 기술에 의한 반도체장치의 MIM형 커패시터 제조방법을 설명하기 위한 공정 순서도이다.

우선, 도 1a에 도시된 바와 같이, 반도체기판으로서 실리콘기판(10) 상부에 통상의 반도체소자 공정을 진행하고 층간절연막(10)을 형성한다. 이어서, 층간절연막(10) 상부에 금속막을 증착하고 이를 패터닝하여 반도체소자와 연결되는 하부배선(12a)을 형성하면서 아날로그 커패시터의 하부전극(12b)을 형성한다.

이어서, 도 1b 및 도 1c에 도시된 바와 같이, 상기 결과물에 층간절연막(14)을 형성하고 CMP(Chemical Mechanical Polishing)공정으로 이를 평탄화한다. 상기 하부배선(12a) 및 하부전극(12b)의 표면이 개방되도록 층간절연막(14)내에 콘택홀(15)을 형성한다. 이때, 하부배선(12a)이 개방되는 콘택홀은 그 크기가 작은 반면에 상기 하부전극(12b)이 개방되는 콘택홀은 원하는 커패시턴스 용량을 확보하기 위해서 넓은 크기를 갖는다.

계속해서, 콘택홀이 형성된 층간절연막(14)에 절연체 물질로서 산화막(18)을 증착한 후에 하부전극(12b) 부위의 산화막(18) 상부에 커패시터 영역만 마스크하는 포토레지스트 패턴(20)을 형성하고 건식식각 공정을 실시한다. 이로 인해, 하부배선(12a)이 개방되는 콘택홀에서는 사이드월 스페이서(16)가 형성되면서 포토레지스트 패턴(18)에 맞추어 산화막(18)이 패터닝된다.

도 1d 및 도 1e에 도시된 바와 같이, 상기 포토레지스트 패턴(20)을 제거하고 상기 결과물에 상기 하부배선(12a) 부위의 콘택홀을 채우도록 금속막(22)을 증착한다. 그리고, CMP 공정으로 상기 금속막(22)을 평탄화하여 상기 하부배선(12a)과 연결되는 플러그(22a)를 형성함과 동시에 산화막(22b) 상부에 콘택전극(22b)을 형성한다.

도 1f에 도시된 바와 같이, 상기 결과물에 플러그(22a) 및 콘택전극(22b)을 서로 연결하는 금속층(24)을 증착하고 이를 패터닝함으로써 반도체소자의 상부배선과 아날로그 커패시터의 상부전극이 동시에 형성된다.

상기와 같은 종래 기술의 아날로그 커패시터 제조방법은 절연체막(22b) 식각 공정시 반도체소자 영역의 콘택홀에 사이드월 스페이서(22a)가 형성되기 때문에 콘택홀의 크기가 더 작아진다. 이와 같이 반도체소자와 커패시터 영역의 비대칭적인 콘택홀에 플러그 및 콘택전극을 위한 금속층 매립 공정시, 반도체소자 영역의 콘택홀은 충분히 매립되지만 커패시터 콘택홀은 개방 영역이 넓기 때문에 이를 충분히 채울 수 없다. 상기 공정시 겹침 특성이 우수한 텅스텐(W)을 사용할 경우 이후 실시되는 CMP 공정시 산화막(18) 표면의 스트레스를 증가시키면서 파티클 발생이 심각해진다.

그런데, 금속층을 패터닝하거나 혹은 콘택홀 식각 공정시 주로 건식식각 공정을 이용하게 되는데 이 식각 공정에 의해 금속 계면의 거칠기가 증가하게 된다. 거친면을 갖는 금속 배선은 균일하지 않는 전하 분포에 의해 낮은 전압에서도 항복전압이 일어난다. 커패시터의 전극 계면 특성을 향상시키기 위하여 콘택홀 형성시 과도 식각량을 줄일 경우에는 다른 반도체소자의 콘택홀 특성이 저하되기 때문에 반도체소자 특성을 저해하지 않으면서 양호한 커패시터의 전극 및 절연체막을 확보할 수 있는 기술이 요구되고 있다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 다른 반도체소자와 상호 연결된 MIM형 아날로그 커패시터의 제조 공정시 절연체막 상부에 하부전극의 계면을 보호하기 위한 추가 금속막을 형성함으로써 다른 공정으로 인한 반도체소자의 배선 및 아날로그 커패시터의 특성 저하를 최소화하는 반도체장치의 MIM형 아날로그 커패시터 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 다른 반도체소자와 상호 연결되는 금속/절연체/금속 구조의 마날로그 커패시터를 제조하는 방법에 있어서, 반도체소자가 형성된 반도체기판의 중간절연막 상부에 제 1 금속막, 절연체박막, 및 제 2금속막을 순차적으로 적층하는 단계와, 적층된 제 2금속막 및 절연체박막을 선택 식각하여 커패시터가 형성될 기판 영역에 이후 정의될 상부 및 하부전극을 상호 연결하는 중간 전극 및 절연체 패턴을 형성하는 단계와, 제 1금속막을 선택 식각하여 다른 반도체소자의 하부배선을 형성함과 동시에 상기 패턴 아래에 하부전극을 형성하는 단계와, 결과를 상부에 중간절연막을 형성하고 중간절연막에 반도체소자의 하부배선과 상기 패턴의 상부면이 개방되는 콘택홀을 형성하는 단계와, 콘택홀이 형성된 중간절연막에 제 3금속막을 매립하고 이를 식각해서 하부배선과 연결되는 플러그를 형성함과 동시에 상기 패턴의 중간 전극 상부면이 개방되는 콘택홀 내측벽에 스페이서를 형성하는 단계와, 결과를 상부에 제 4 금속막을 형성하고 이를 패터닝하여 반도체소자의 플러그와 연결되면서 커패시터 영역의 중간 전극 및 스페이서와도 연결되는 상부배선 및 상부전극을 형성하는 단계를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세하게 설명하고자 한다

도 2a 내지 도 2g는 본 발명에 따른 반도체장치의 MIM형 마날로그 커패시터 제조방법을 설명하기 위한 공정 순서도로서, 이를 참조하면 본 발명의 반도체장치의 제조 공정은 다음과 같다.

우선, 도 2a에 도시된 바와 같이, 반도체소자가 형성된 반도체기판의 중간절연막(100) 상부에 제 1금속막(102), 절연체박막(104), 및 제 2금속막(106)을 순차적으로 적층한다. 여기서, 제 2금속막(106)은 2000Å이하로 형성함으로써 반도체소자의 배선과 마날로그 커패시터의 구조에 따른 단차 영향을 제거하는 역할을 한다. 즉, 이후 실시되는 하부전극 및 절연체막의 패터닝 공정시 식각 공정으로 인한 막질 저하를 최소화하면서 하부 커패시터 구조물의 높이를 증가시키기 위한 중간 전극으로서의 역할을 한다. 그리고, 제 2금속막(106)은 바람직하게 Si를 이용하여, 상부 금속과의 접착을 위해서 Ti 금속을 추가할 수 있다.

도 2b에 도시된 바와 같이, 상기 결과물에 커패시터의 절연체 영역을 정의하는 포토레지스트 패턴(108)을 형성하고, 건식식각 공정을 진행하여 적층된 제 2금속막(106) 및 절연체박막(104)을 패터닝함으로써 커패시터가 형성될 기판 영역에 이후 정의될 상부 및 하부전극을 상호 연결하는 중간 전극(106') 및 절연체 패턴(104')을 형성한다.

계속해서, 도 2c에 도시된 바와 같이, 상기 포토레지스트 패턴(108)을 제거하고, 상기 결과물에 하부 배선 및 하부 전극을 정의하기 위한 포토레지스트 패턴(109)을 형성하고 건식식각 공정으로 제 1금속막을 선택 식각하여 다른 반도체소자의 하부배선(102a)을 형성함과 동시에 상기 패턴 아래에 하부전극(102b)을 형성한다. 본 발명은 커패시터의 하부전극(102b)의 가공을 절연체막을 패터닝한 후에 실시함으로써 그 개방 면적의 조절이 용이하며 계면의 편평도가 높아서 누설 전류가 높아지거나 항복전압이 낮아지도록 그 특성을 개선할 수 있다.

또한, 본 실시예에서는 하부전극(102b)의 크기를 상부의 중간 전극(106') 및 절연체 패턴(104') 보다 크게 형성함으로써 커패시터의 용량을 증가시킨다.

도 2d에 도시된 바와 같이, 결과를 상부에 중간절연막(110)을 형성하고 CMP공정으로 이를 평탄화한 후에, 상기 중간절연막(110)에 반도체소자의 하부배선(102a)과 상기 패턴의 상부면(즉, 중간전극 표면)이 개방되는 각각의 콘택홀(111)을 형성한다. 이때, 커패시터의 절연체막 식각 공정이 이미 진행되었으므로 하부배선(102b)의 콘택홀 내의 스페이서 공정을 생략할 수 있다. 그러면, 서로 다른 소자를 형성하는 과정에서 발생하는 식각 공정을 줄일 수 있어 하부의 금속층 표면 손상을 방지할 수 있다.

도 2e 및 도 2f에 도시된 바와 같이, 상기 콘택홀(111)이 형성된 중간절연막(110)에 제 3금속막(112)을 매립한다. 그리고, 전면 식각 공정을 실시하여 상기 하부배선(102a)의 콘택홀에 플러그(112a)를 형성함과 동시에 상기 패턴의 중간전극(106') 상부면이 개방되는 콘택홀 내측벽에 스페이서(112b)를 형성한다. 이때, 스페이서(112b)는 이후 금속 증착시 콘택홀 모서리부분의 꺾임을 완화시키기 위한 역할을 한다. 본 발명의 플러그 공정시 CMP 대신에 전면 건식식각 공정을 이용함으로써 CMP로 유발된 스트레스와 파티클 문제를 개선한다.

이어서, 도 2g에 도시된 바와 같이, 결과를 상부에 제 4금속막(114)을 형성하고 이를 패터닝하여 반도체소자의 플러그(112a)와 연결되면서 커패시터 영역의 중간 전극(106') 및 스페이서(112b)와도 연결되는 상부배선 및 상부전극을 형성한다. 여기서, 상기 제 4금속막(114)은 반도체소자의 배선과 커패시터를 상호 연결하는 배선의 역할을 한다.

또한, 본 발명의 실시예에서는 플러그 금속으로서 텅스텐(W)을 이용하지 않고 Si를 이용하기 때문에 누설 전류가 감소되는 장점을 갖는다.

발명의 효과

따라서, 본 발명에 따른 반도체장치의 MIM형 마날로그 커패시터 제조방법에 의하면, 절연체막 상부에 금속층을 증착함으로써 식각으로부터 유전체막 및 하부전극 계면의 손상을 방지하여 이로 인한 누설전류 증가와 항복 전압 감소를 억제한다.

그리고, 본 발명은 서로 다른 반도체소자의 배선과 마날로그 커패시터의 구조물의 높이차를 상기 추가의 금속층에 의해 최소화하여 이후 수직 배선 공정으로 인한 커패시터의 손상을 줄일 수 있다. 더욱이, 반도체소자의 배선 공정의 신뢰성을 저하시키지 않으면서 커패시터의 유효 면적을 증가시킬 수 있어 고집적

반도체장치에서 커패시터 용량을 증가시키더라도 전체 설계면적을 줄일 수 있다.

본 발명은 반도체소자의 수직 배선과 커패시터의 전극으로서 텅스텐 대신에 알루미늄을 공통 사용함으로써 아날로그 커패시터의 성능을 더욱 향상시킬 수 있다.

또한, 본 발명의 아날로그 커패시터는 가장자리가 불균형한 형태(즉, 하부전극, 유전체와 중간전극, 및 상부전극의 크기가 각기 다름)를 가지고 있으므로 금속간 기생 커패시턴스를 줄일 수 있어 전체 용량을 증가시킨다.

(57) 청구의 범위

청구항 1. 다른 반도체소자와 상호 연결되는 금속/절연체/금속 구조의 아날로그 커패시터를 제조하는 방법에 있어서,

반도체소자가 형성된 반도체기판의 층간절연막 상부에 제 1금속막, 절연체박막, 및 제 2금속막을 순차적으로 적층하는 단계;

상기 적층된 제 2금속막 및 절연체박막을 선택 식각하여 커패시터가 형성될 기판 영역에 이후 정의될 상부 및 하부전극을 상호 연결하는 중간 전극 및 절연체 패턴을 형성하는 단계;

상기 제 1금속막을 선택 식각하여 상기 다른 반도체소자의 하부배선을 형성함과 동시에 상기 패턴 아래에 하부전극을 형성하는 단계;

상기 결과를 상부에 다시 층간절연막을 형성하고 상기 층간절연막에 반도체소자의 하부배선과 상기 패턴의 상부면이 개방되는 콘택홀을 형성하는 단계;

상기 콘택홀이 형성된 층간절연막에 제 3금속막을 패팅하고 이를 식각해서 상기 하부배선과 연결되는 플러그를 형성함과 동시에 상기 패턴의 중간 전극 상부면이 개방되는 콘택홀 내측벽에 스페이서를 형성하는 단계; 및

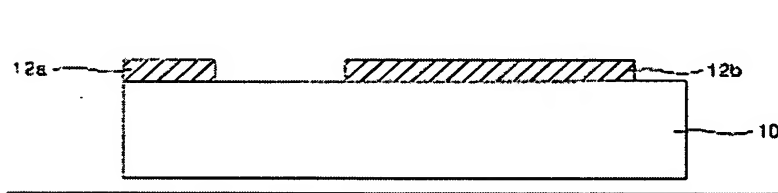
상기 결과를 상부에 제 4금속막을 형성하고 이를 패터닝하여 상기 반도체소자의 플러그와 연결되면서 커패시터 영역의 중간 전극 및 스페이서와도 연결되는 상부배선 및 상부전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체장치의 MIM형 아날로그 커패시터 제조방법.

청구항 2. 제 1항에 있어서, 상기 제 2금속막은 Si를 이용하여 상부 금속과 접착을 위해서 Ti 금속을 추가하는 것을 특징으로 하는 반도체장치의 MIM형 아날로그 커패시터 제조방법.

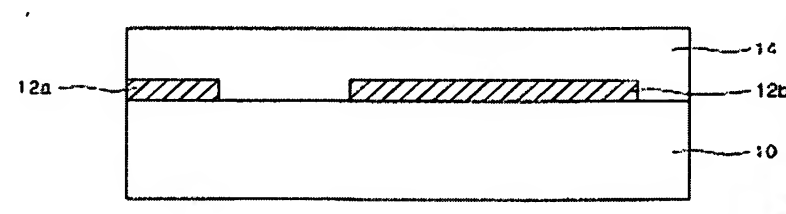
청구항 3. 제 1항에 있어서, 상기 제 3금속막의 식각 공정은 전면 식각 공정을 실시하는 것을 특징으로 하는 반도체장치의 MIM형 아날로그 커패시터 제조방법.

도면

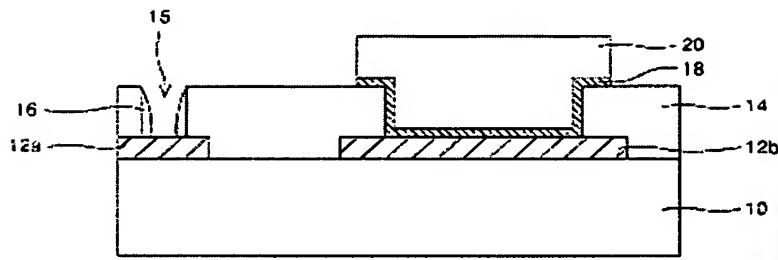
도면 1a



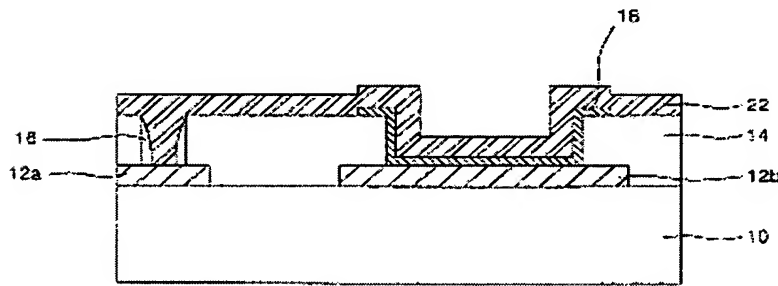
도면 1b



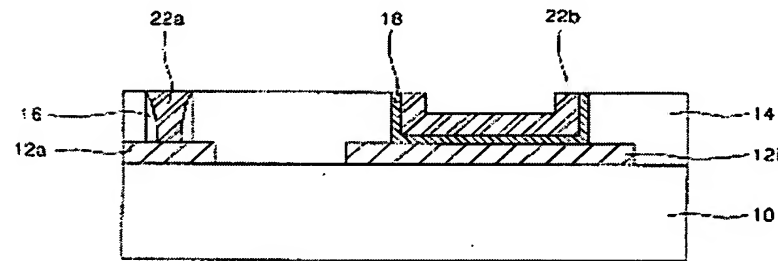
도면 10



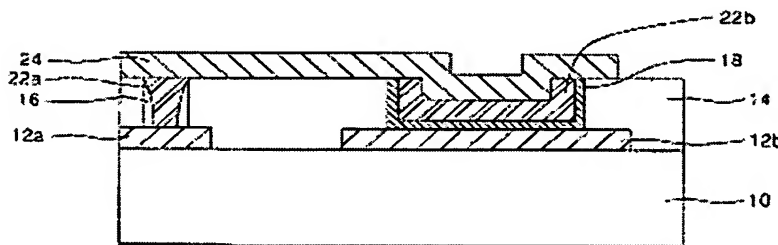
도면 11



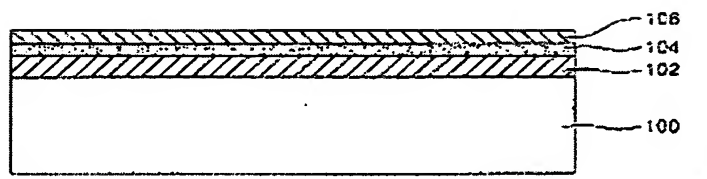
도면 12



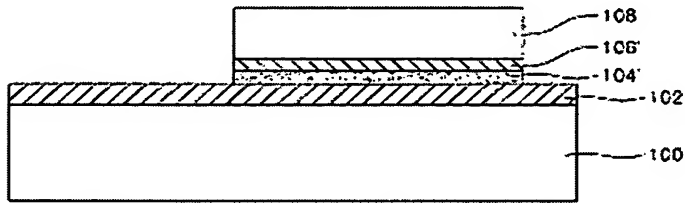
도면 13



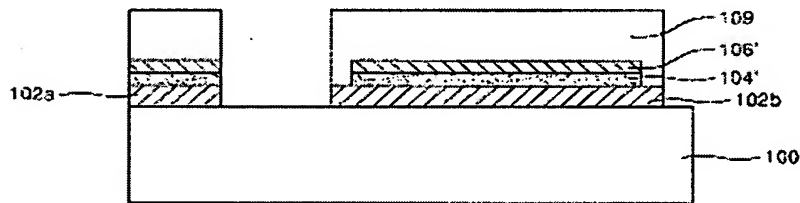
도면 2a



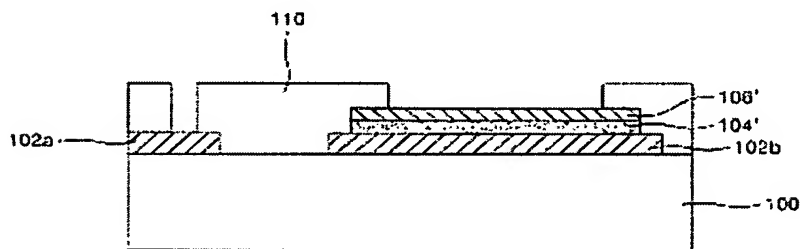
도면 2b



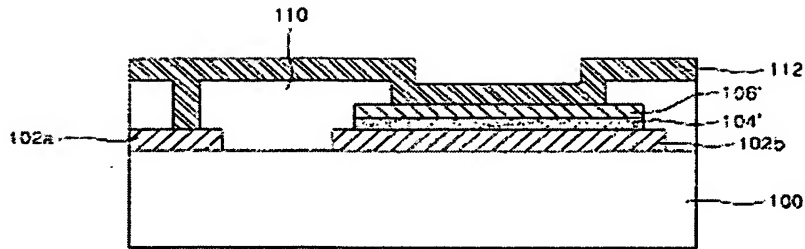
도면 2c



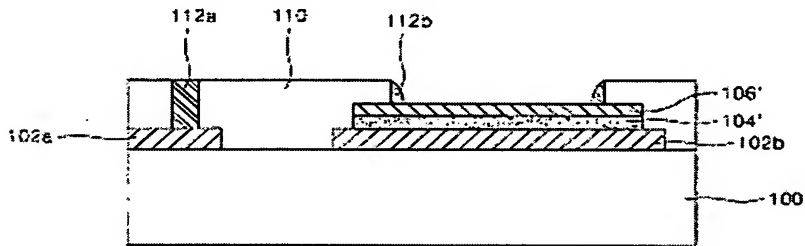
도면 2d



도 2a



도 2b



도 2c

